

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-320993

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

G11C 17/18

(21)Application number : 09-127080

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.05.1997

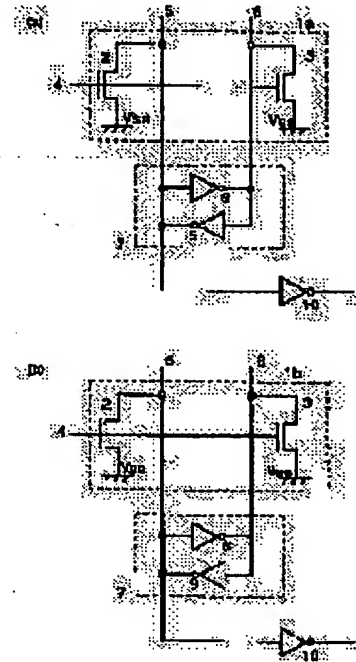
(72)Inventor : FUNAHASHI NOBUMASA
OCHI YUTAKA

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the reading time of a ROM, and enable the high speed reading.

SOLUTION: Bit line pairs respectively consisting of main bit line 5 and sub-bit line 6 are provided. 1st and 2nd ROM memory cells 1a and 1b in which different sets of information are stored are respectively composed of main and sub-memory cell transistors 2 and 3. Latching circuits 7 which are composed respectively of two inverters 8 and 9 connected in reverse-parallel with each other are provided between the main and sub-bit lines 5 and 6 to read the sets of information stored in the ROM memory cells 1a and 1b. In the respective memory cells 1a and 1b, the sets of information on the main and sub-bit lines 5 and 6 which are connected to the main and sub-memory cell transistors 2 and 3 are determined and the sets of information reversed by the latching circuits 7 are held on the main and sub-bit lines 5 and 6 which are not connected to the main and sub-memory cell transistors 2 and 3, so that the information on the bit lines can be determined without the precharge of the bit lines and the reading time can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-320993

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.*

識別記号

F I

G 1 1 C 17/18

G 1 1 C 17/00

3 0 6 Z

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21) 出願番号 特願平9-127080

(22) 出願日 平成9年(1997)5月16日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 舟橋 順正

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 越智 豊

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

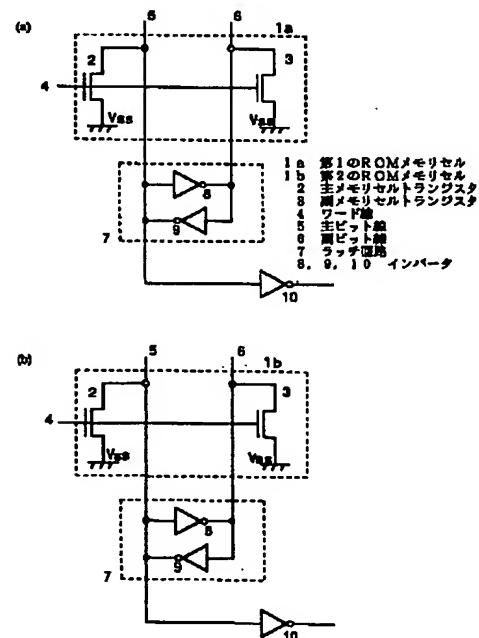
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ROMの読み出し時間を短縮し、高速な読み出しを可能にする。

【解決手段】 主ビット線5と対をなす副ビット線6を設け、異なる情報を保持する第1、第2のROMメモリセル1a、1bが主・副メモリセルトランジスタ2・3からなるものとし、主・副ビット線5・6間に2つのインバータ8、9を逆並列接続したラッチ回路7を設けて、ラッチ回路7を介してROMメモリセル1a、1bに保持した情報を読み出すようにしている。ワード線4が選択されると、各ROMメモリセル1a、1bにおいて、主・副メモリセルトランジスタ2・3に接続されている主・副ビット線5・6上の情報が決定され、主・副メモリセルトランジスタ2・3に接続されていない主・副ビット線5・6上にはラッチ回路7により反転された情報が保持されるため、ビット線をプリチャージすることなく、ビット線上の情報が決定され、読み出し時間を短縮できる。



【特許請求の範囲】

【請求項1】 ワード線と交差配置され対をなす主ビット線および副ビット線と、
前記ワード線の電圧によりオンオフする対をなす主メモリセルトランジスタおよび副メモリセルトランジスタからなり、前記主メモリセルトランジスタを前記主ビット線と接続し、前記副メモリセルトランジスタを前記副ビット線と非接続して第1の情報を保持した第1のROMメモリセルと、
前記ワード線の電圧によりオンオフする対をなす主メモリセルトランジスタおよび副メモリセルトランジスタからなり、前記主メモリセルトランジスタを前記主ビット線と非接続し、前記副メモリセルトランジスタを前記副ビット線と接続して第2の情報を保持した第2のROMメモリセルと、
対をなす前記主ビット線と前記副ビット線との間に2つのインバータを逆並列接続して前記主ビット線上の情報を保持し出力するラッチ回路とを備え、
前記ワード線で選択される前記第1および第2のROMメモリセルに保持した情報を前記ラッチ回路を介して読み出すようにした半導体記憶装置。

【請求項2】 第1および第2のROMメモリセルに、各々のROMメモリセルの主メモリセルトランジスタおよび副メモリセルトランジスタと同時にオンする主ビット線チャージ用トランジスタおよび副ビット線チャージ用トランジスタを設け、
前記第1のROMメモリセルは、前記主ビット線チャージ用トランジスタを主ビット線と非接続し、前記副ビット線チャージ用トランジスタを副ビット線と接続し、
前記第2のROMメモリセルは、前記主ビット線チャージ用トランジスタを前記主ビット線と接続し、前記副ビット線チャージ用トランジスタを前記副ビット線と非接続したことを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ROMメモリセルとしてトランジスタを用いた半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、情報化社会の発展に伴い、高速動作が可能なROMが要望されている。以下、従来の半導体記憶装置についてコンタクトマスクROMを例にあげて説明する。図5は従来の半導体記憶装置のROMメモリセルについて示す構成図であり、図5の(a)と(b)とではROMメモリセルに書き込まれている情報が異なる構成である。図5において、13a、13bはROMメモリセル、14はNch(Nチャネル)トランジスタ、15はビット線プリチャージ用のPch(Pチャネル)トランジスタ、16はワード線、17はビット

線、18はインバータである。

【0003】ROMメモリセル13a、13bは、Nchトランジスタ14のゲート端子にワード線16を接続し、ソース端子を接地(V_{ss})している。Nchトランジスタ14のドレイン端子とビット線17とを接続するか否かはコンタクトマスクにより決定され、それによってROMメモリセル13a、13bに書き込まれている情報が異なる。また、Pchトランジスタ15のゲート端子にワード線16を接続し、ソース端子を電源(V_{dd})に接続している。

【0004】以上のように構成された従来の半導体記憶装置について、以下その動作を説明する。図5(a)のように、Nchトランジスタ14のドレイン端子とビット線17とがコンタクトされている場合、ワード線16を開くと、Nchトランジスタ14の出力は“L(ロー)”、ビット線17は“L”となり、インバータ18で反転されたROMの出力は“H(ハイ)”となる。

【0005】しかし、図5(b)のように、Nchトランジスタ14のドレイン端子とビット線17とがコンタクトされていない場合、ワード線16を開くと、Nchトランジスタ14の出力が決定されないため、ビット線17およびROMの出力も決定されない。そのため、Pchトランジスタ15を用いてビット線17をプリチャージをする必要がある。つまり、Pchトランジスタ15をON(オン)の状態に固定し、ビット線17が“H”(インバータ18で反転されたROMの出力が“L”)となるようにしておく。このようにすれば、Nchトランジスタ14のドレイン端子とビット線17とが接続されていない場合でも、ビット線17の信号は“H”に決定され、ROMの出力“L”を得ることができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記の従来の構成では、ビット線17のプリチャージが必要であるため、その分読み出しが遅くなってしまう。図6は図5(a)のROMメモリセル13aから情報を読み出す場合の読み出し時間のシミュレーション図であり、 V_p はビット線プリチャージ用のPchトランジスタ15のゲート印加電圧、 V_B はビット線17の電圧、 V_W はワード線16の選択電圧を示す。この従来の半導体記憶装置の読み出し時間は、(ビット線のプリチャージ時間)+(プリチャージ終了からビット線が立ち下がるまでの時間)で決定され、高速動作でのデータの読み出しには不向きであるという欠点を有している。図6のシミュレーションでは、1.5Vを基準にビット線17の“H”、“L”を決定しており、ビット線17のプリチャージ時間が4nsec、プリチャージ終了からビット線17の電圧 V_B が立ち下がって、ビット線17が“L”に決定されるまでの時間が3nsecとなり、その結果、読み出し時間は7nsecとなってしまう。

【0007】本発明は、上記従来の問題点を解決するもので、読み出し時間を短縮し、高速な読み出しを可能にする半導体記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、ワード線と交差配置され対をなす主ビット線および副ビット線と、ワード線の電圧によりオンオフする対をなす主メモリセルトランジスタおよび副メモリセルトランジスタからなり、主メモリセルトランジスタを主ビット線と接続し、副メモリセルトランジスタを副ビット線と非接続して第1の情報を保持した第1のROMメモリセルと、ワード線の電圧によりオンオフする対をなす主メモリセルトランジスタおよび副メモリセルトランジスタからなり、主メモリセルトランジスタを主ビット線と非接続し、副メモリセルトランジスタを副ビット線と接続して第2の情報を保持した第2のROMメモリセルと、対をなす主ビット線と副ビット線との間に2つのインバータを逆並列接続して主ビット線上の情報を保持し出力するラッチ回路とを備え、ワード線で選択される第1および第2のROMメモリセルに保持した情報をラッチ回路を介して読み出すようにしている。

【0009】この構成によれば、主ビット線と対をなす副ビット線を設け、異なる情報を保持する第1および第2のROMメモリセルが主・副ビット線に対応して配置された主・副メモリセルトランジスタからなるものとし、主・副ビット線間に2つのインバータを逆並列接続したラッチ回路を設けて、ラッチ回路を介して第1および第2のROMメモリセルに保持した情報を読み出すようにしたことにより、ワード線が選択されると、各ROMメモリセルにおいて、主・副メモリセルトランジスタに接続されている一方の主・副ビット線上の情報が決定され、さらに主・副メモリセルトランジスタに接続されていない他方の主・副ビット線上にはラッチ回路により反転された情報が保持される。このように、ビット線をプリチャージすることなく、読み出すビット線上の情報が決定されるため、読み出し時間を短縮し、高速な読み出しが可能となる。

【0010】請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、第1および第2のROMメモリセルに、各々のROMメモリセルの主メモリセルトランジスタおよび副メモリセルトランジスタと同時にオンする主ビット線チャージ用トランジスタおよび副ビット線チャージ用トランジスタを設け、第1のROMメモリセルは、主ビット線チャージ用トランジスタを主ビット線と非接続し、副ビット線チャージ用トランジスタを副ビット線と接続し、第2のROMメモリセルは、主ビット線チャージ用トランジスタを主ビット線と接続し、副ビット線チャージ用トランジスタを副ビット線と非接続したことを特徴とする。

【0011】このように、各ROMメモリセルに、主・

副メモリセルトランジスタと同時にオンする主・副ビット線チャージ用トランジスタを設けて、主・副メモリセルトランジスタに接続されていない主・副ビット線をチャージすることにより、主・副ビット線上の情報が速く決定され、読み出し時間をより短縮し、より高速な読み出しが可能となる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

〔第1の実施の形態〕図1は本発明の第1の実施の形態の半導体記憶装置のROMメモリセルについて示す構成図であり、図1の(a)と(b)とはROMメモリセルに書き込まれている情報が異なる構成である。図1において、1a、1bは第1、第2のROMメモリセル、2、3はNchトランジスタからなる主メモリセルトランジスタ、副メモリセルトランジスタ、4はワード線、5は主ビット線、6はビット線5と反転情報をもつ副ビット線、7はラッチ回路、8、9、10はインバータである。

【0013】図1(a)に示すように、第1のROMメモリセル1aは、主メモリセルトランジスタ2および副メモリセルトランジスタ3からなり、それぞれのゲート端子をワード線4に接続し、ソース端子を接地(V_{ss})してあり、主メモリセルトランジスタ2のドレイン端子を主ビット線5と接続し、副メモリセルトランジスタ3のドレイン端子を副ビット線6とは接続していない構成である。

【0014】また、図1(b)に示すように、第2のROMメモリセル1bは、第1のROMメモリセル1aと同様、主メモリセルトランジスタ2および副メモリセルトランジスタ3からなり、それぞれのゲート端子をワード線4に接続し、ソース端子を接地(V_{ss})している。第1のROMメモリセル1aと異なるのは、主メモリセルトランジスタ2のドレイン端子を主ビット線5と接続しないで、副メモリセルトランジスタ3のドレイン端子を副ビット線6と接続している点である。なお、第1、第2のROMメモリセル1a、1bにおいて、主メモリセルトランジスタ2、副メモリセルトランジスタ3のドレイン端子を主ビット線5、副ビット線6に接続するか否かはコンタクトマスクにより決定される。

【0015】この半導体記憶装置は、上記の第1のROMメモリセル1a、第2のROMメモリセル1bが複数配置され、対をなす主ビット線5と副ビット線6との間に2つのインバータ8、9を逆並列接続したラッチ回路7を設けてあり、選択されたワード線4に接続されている第1のROMメモリセル1a、第2のROMメモリセル1bの情報が読み出される。このとき、主ビット線5上の情報がラッチ回路7で保持され、インバータ10を介して読み出される。

【0016】以上のように構成される第1の実施の形態

の半導体記憶装置について、以下にその動作を説明する。図1(a)において、主ビット線5、副ビット線6の前段階の状態がそれぞれ“H”、“L”であると仮定する。第1のROMメモリセル1aのワード線4が開くことにより、主メモリセルトランジスタ2がオンし、主ビット線5が接地電位 V_{ss} に下がる。主ビット線5の信号“L”がラッチ回路7により保持され、インバータ10で反転されて“H”が出力される。

【0017】また、図1(b)において、主ビット線5、副ビット線6の前段階の状態がそれぞれ“L”、“H”であると仮定する。第2のROMメモリセル1bのワード線4が開くことにより、副メモリセルトランジスタ3がオンし、副ビット線6が接地電位 V_{ss} に下がる。副ビット線6の信号“L”がラッチ回路7により保持され、このとき主ビット線5は“H”となる。この信号がインバータ10で反転されて“L”が出力される。

【0018】図2は本実施の形態の半導体記憶装置における読み出し時間のシミュレーション図であり、 V_w はワード線4の選択電圧、 V_a は第1のROMメモリセル1aの情報が読み出されてインバータ10から“H”が出力されるとき主ビット線5の電圧、 V_b は第2のROMメモリセル1bの情報が読み出されてインバータ10から“L”が出力されるとき主ビット線5の電圧を示す。このシミュレーションでは、1.5Vを基準に主ビット線5の“H”、“L”を決定しており、この半導体記憶装置の読み出し時間は4.5nsecとなる。したがって、従来例の図6に示す7nsecより短縮されていることがわかる。

【0019】以上のように本実施の形態によれば、主ビット線5と対をなす副ビット線6を設け、異なる情報を保持する第1および第2のROMメモリセル1a、1bが主・副ビット線5・6に対応して配置された主・副メモリセルトランジスタ2・3からなるものとし、主・副ビット線5・6間に2つのインバータ8、9を逆並列接続したラッチ回路7を設けて、ラッチ回路7を介して第1および第2のROMメモリセル1a、1bに保持した情報を読み出すようにしたことにより、ワード線4が選択されると、各ROMメモリセル1a、1bにおいて、主・副メモリセルトランジスタ2・3に接続されている一方の主・副ビット線5・6上の情報が決定され、さらに主・副メモリセルトランジスタ2・3に接続されていない他方の主・副ビット線5・6上にはラッチ回路7により反転された情報が保持される。このように、ビット線をプリチャージすることなく、読み出すビット線上の情報が決定されるため、読み出し時間を短縮し、高速な読み出しが可能となる。

【0020】なお、本実施の形態では、主メモリセルトランジスタ2および副メモリセルトランジスタ3にNchトランジスタを用いたが、Pchトランジスタを用いても同様の効果が得られる。

〔第2の実施の形態〕図3は本発明の第2の実施の形態の半導体記憶装置のROMメモリセルについて示す構成図であり、図3の(a)と(b)とはROMメモリセルに書き込まれている情報が異なる構成である。図3において、11はPchトランジスタからなる主ビット線チャージ用トランジスタ、12はPchトランジスタからなる副ビット線チャージ用トランジスタ、20は主および副ビット線チャージ用トランジスタ11、12のゲート配線、1A、1Bは第1、第2のセル部であり、その他図1と同じ部分には同一符号を付し、その説明を省略する。

【0021】この第2の実施の形態では、第1の実施の形態の構成に加え、第1、第2のROMメモリセル1a、1bのそれぞれに、ソース端子が電源(V_{dd})に接続された主ビット線チャージ用トランジスタ11および副ビット線チャージ用トランジスタ12を設けている。ここで、第1のROMメモリセル1aと、主ビット線チャージ用トランジスタ11および副ビット線チャージ用トランジスタ12とを、第1のセル部1Aとし、第2のROMメモリセル1bと、主ビット線チャージ用トランジスタ11および副ビット線チャージ用トランジスタ12とを、第2のセル部1Bとする。

【0022】図3(a)に示すように、第1のセル部1Aでは、主メモリセルトランジスタ2が接続された主ビット線5に、主ビット線チャージ用トランジスタ11のドレイン端子を接続しないで、副メモリセルトランジスタ3が接続されていない副ビット線6に、副ビット線チャージ用トランジスタ12のドレイン端子を接続している。

【0023】また、図3(b)に示すように、第2のセル部1Bでは、主メモリセルトランジスタ2が接続されていない主ビット線5に、主ビット線チャージ用トランジスタ11のドレイン端子を接続し、副メモリセルトランジスタ3が接続されている副ビット線6に、副ビット線チャージ用トランジスタ12のドレイン端子を接続していない。なお、第1、第2のセル部1A、1Bにおいて、主ビット線チャージ用トランジスタ11、副ビット線チャージ用トランジスタ12のドレイン端子を主ビット線5、副ビット線6に接続するか否かは、主メモリセルトランジスタ2、副メモリセルトランジスタ3のドレイン端子の接続同様、コンタクトマスクにより決定される。

【0024】この半導体記憶装置は、上記の第1、第2のセル部1A、1Bが複数配置され、対をなす主ビット線5と副ビット線6との間に2つのインバータ8、9を逆並列接続したラッチ回路7を設けてあり、選択されたワード線4に接続されている第1のROMメモリセル1a、第2のROMメモリセル1bの情報が読み出される。このとき、主ビット線5上の情報がラッチ回路7で保持され、インバータ10を介して読み出される。

【0025】以上のように構成される第2の実施の形態の半導体記憶装置について、以下にその動作を説明する。図3(a)において、主ビット線5、副ビット線6の前段階の状態がそれぞれ“H”、“L”であると仮定する。第1のROMメモリセル1aのワード線4を開くと同時に、主および副ビット線チャージ用トランジスタ11、12のゲート配線20にオン電圧を印加すると、主メモリセルトランジスタ2がオンして主ビット線5は接地電位 V_{ss} の値に、副ビット線チャージ用トランジスタ12がオンして副ビット線6はチャージされ電源電位 V_{dd} の値に近づき始める。このとき、ラッチ回路7の作用により、主ビット線5が接地電位 V_{ss} に下がるスピードが加速され、瞬時に“L”出力となる。この主ビット線5の信号“L”が、インバータ10で反転されて“H”が出力される。このように、副ビット線6をチャージすることにより“H”の出力を、より高速に読み出すことができる。

【0026】図3(b)において、主ビット線5、副ビット線6の前段階の状態がそれぞれ“L”、“H”であると仮定する。第2のROMメモリセル1bのワード線4を開くと同時に、主および副ビット線チャージ用トランジスタ11、12のゲート配線20にオン電圧を印加すると、副メモリセルトランジスタ3がオンして副ビット線6が接地電位 V_{ss} の値に、主ビット線チャージ用トランジスタ11がオンして主ビット線5はチャージされ電源電位 V_{dd} の値に近づき始める。このとき、ラッチ回路7の作用により、主ビット線5が電源電位 V_{dd} に上がるスピードが加速され、瞬時に“H”出力となる。この主ビット線5の信号“H”が、インバータ10で反転されて“L”が出力される。このように、主ビット線5をチャージすることにより“L”の出力を、より高速に読み出すことができる。

【0027】図4は本実施の形態の半導体記憶装置における読み出し時間のシミュレーション図であり、 V_w はワード線4の選択電圧、 V_{ch} は主および副ビット線チャージ用トランジスタ11、12のゲート配線20の印加電圧、 V_o は第1のROMメモリセル1aの情報が読み出されてインバータ10から“H”が出力されるとき主ビット線5の電圧、 V_o は第2のROMメモリセル1bの情報が読み出されてインバータ10から“L”が出力されるとき主ビット線5の電圧を示す。このシミュレーションでは、1.5Vを基準に主ビット線5の“H”、“L”を決定しており、この半導体記憶装置の読み出し時間は2.2nsecとなる。したがって、従来例の図6に示す7nsecの1/3以下に大幅に短縮され、第1の実施の形態の図4に示す4.5nsecよりも短縮されていることがわかる。

【0028】なお、主および副ビット線チャージ用トランジスタ11、12のゲート配線20へは、オン電圧($V_{ch}=0$)を、ワード線4の選択電圧 V_w と同時に印

加し始める。また、主および副ビット線チャージ用トランジスタ11、12のオンを終了させるタイミングは、主および副メモリセルトランジスタ2、3のオンを終了させるタイミングと同時で構わない。

【0029】以上のように本実施の形態によれば、第1、第2のROMメモリセル1a、1bに、主・副メモリセルトランジスタ2・3と同時にオンする主・副ビット線チャージ用トランジスタ11・12を設けて第1、第2のセル部1A、1Bとし、主・副メモリセルトランジスタ2・3に接続されていない主・副ビット線5・6をチャージすることにより、主・副ビット線5・6上の情報が速く決定され、読み出し時間をより短縮し、より高速な読み出しが可能となる。

【0030】なお、本実施の形態では、主および副メモリセルトランジスタ2、3にNchトランジスタを用い、主および副ビット線チャージ用トランジスタ11、12にPchトランジスタを用いたが、主および副メモリセルトランジスタ2、3にPchトランジスタを用い、主および副ビット線チャージ用トランジスタ11、12にNchトランジスタを用いても同様の効果が得られる。

【0031】

【発明の効果】本発明の半導体記憶装置は、主ビット線と対をなす副ビット線を設け、異なる情報を保持する第1および第2のROMメモリセルが主・副ビット線に対応して配置された主・副メモリセルトランジスタからなるものとし、主・副ビット線間に2つのインバータを逆並列接続したラッチ回路を設けて、ラッチ回路を介して第1および第2のROMメモリセルに保持した情報を読み出すようにしたことにより、ワード線が選択されると、各ROMメモリセルにおいて、主・副メモリセルトランジスタに接続されている一方の主・副ビット線上の情報が決定され、さらに主・副メモリセルトランジスタに接続されていない他方の主・副ビット線にはラッチ回路により反転された情報が保持される。このように、ビット線をプリチャージすることなく、読み出すビット線上の情報が決定されるため、読み出し時間を短縮し、高速な読み出しが可能となる。

【0032】さらに、各ROMメモリセルに、主・副メモリセルトランジスタと同時にオンする主・副ビット線チャージ用トランジスタを設けて、主・副メモリセルトランジスタに接続されていない主・副ビット線をチャージすることにより、主・副ビット線上的情報が速く決定され、読み出し時間をより短縮し、より高速な読み出しが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体記憶装置のROMメモリセルについて示す構成図である。

【図2】本発明の第1の実施の形態の半導体記憶装置における読み出し時間のシミュレーション図である。

【図3】本発明の第2の実施の形態の半導体記憶装置のROMメモリセルについて示す構成図である。

【図4】本発明の第2の実施の形態の半導体記憶装置における読み出し時間のシミュレーション図である。

【図5】従来の半導体記憶装置のROMメモリセルについて示す構成図である。

【図6】従来の半導体記憶装置における読み出し時間のシミュレーション図である。

【符号の説明】

1 a 第1のROMメモリセル

1 b 第2のROMメモリセル

2 主メモリセルトランジスタ

3 副メモリセルトランジスタ

4 ワード線

5 主ビット線

6 副ビット線

7 ラッチ回路

8, 9, 10 インバータ

11 主ビット線チャージ用トランジスタ

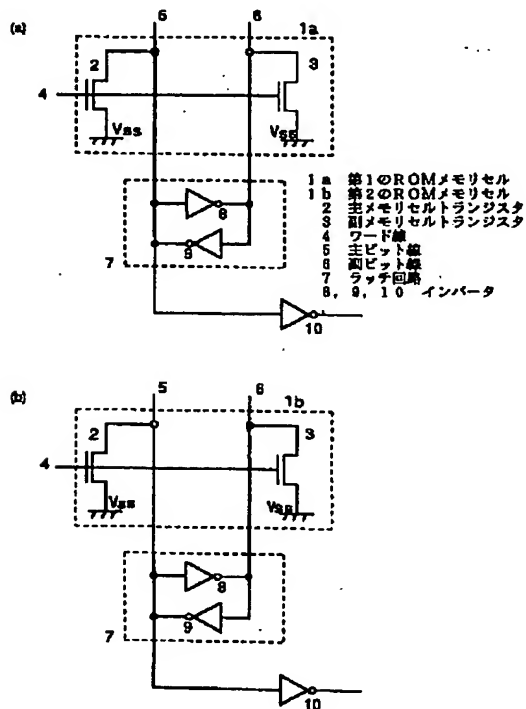
12 副ビット線チャージ用トランジスタ

20 ゲート配線

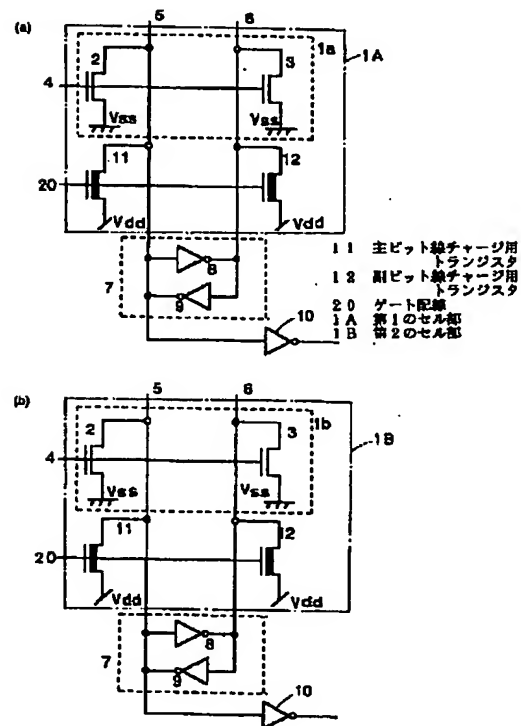
1 A 第1のセル部

1 B 第2のセル部

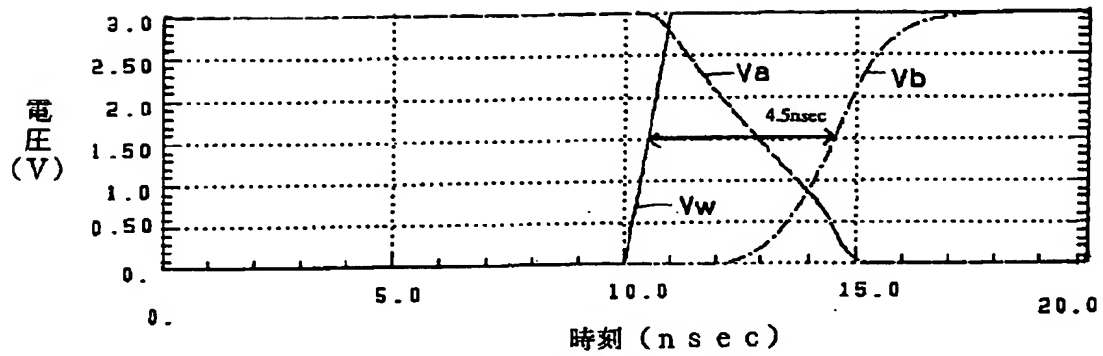
【図1】



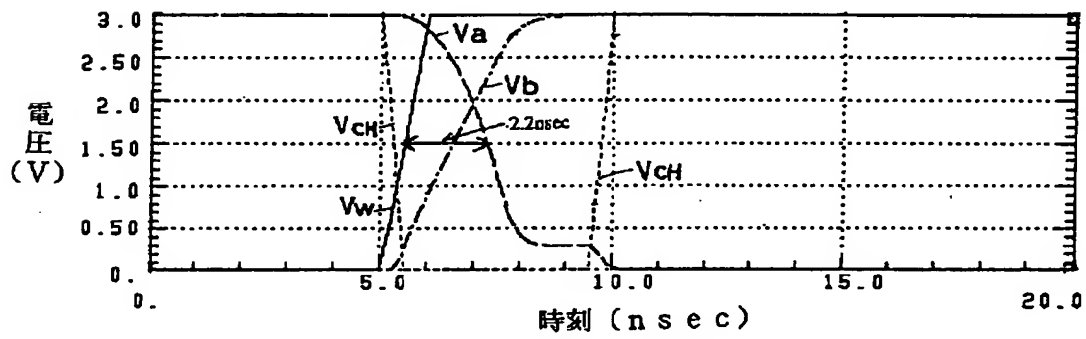
【図3】



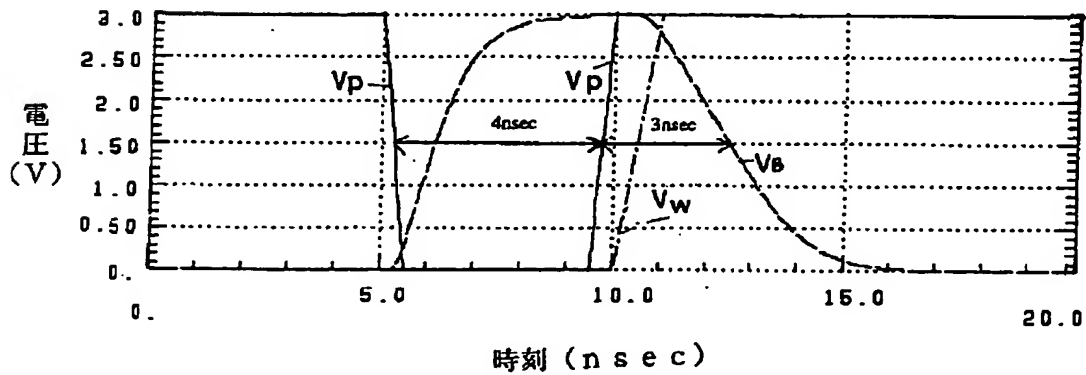
【図2】



【図4】



【図6】



【図5】

